

PAT-NO: JP363296281A

DOCUMENT-IDENTIFIER: JP 63296281 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 2, 1988

INVENTOR-INFORMATION:

NAME

KASE, MASATAKA

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP62129778

APPL-DATE: May 28, 1987

INT-CL (IPC): H01L029/78

US-CL-CURRENT: 257/332

ABSTRACT:

**PURPOSE:** To reduce parasitic capacitances and increase the operation speed of a semiconductor device by a method wherein a current applied between 1st and 3rd impurity regions is controlled by a voltage applied to a control electrode formed on the side of a 2nd impurity region with an insulating film between.

**CONSTITUTION:** A pillar-shape structure composed of a source region 1, a P-type impurity region 2 and a drain region 3 is formed inside a gate electrode 5 with a silicon oxide film 4 between. The gate electrode 5 is so formed as to surround the side of the P-type impurity region 2 with the silicon oxide film 4 between. With this constitution, P-N junctions between the source and drain regions 1 and 3 which are N-type impurity regions and the P-type impurity region 2 exist only inside the gate electrode 5 with the silicon oxide film 4 between so that the capacitances of the P-N junctions parasitizing the source region 1 and the drain region 3 can be reduced and, as the gate width of the gate electrode 5 is enlarged, the operation speed of the device can be increased.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-296281

⑤ Int.Cl.<sup>4</sup>  
H 01 L 29/78識別記号  
3 2 1庁内整理番号  
V-8422-5F

④ 公開 昭和63年(1988)12月2日

審査請求 未請求 発明の数 1 (全7頁)

⑬ 発明の名称 半導体装置

⑭ 特 願 昭62-129778

⑮ 出 願 昭62(1987)5月28日

⑯ 発 明 者 加 勢 正 隆 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑰ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑱ 代 理 人 弁理士 青 木 朗 外3名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. 基板(6,60)上に形成された一導電型の第1の不純物領域(1)と、

該第1の不純物領域(1)上に形成され、該第1の不純物領域(1)と反対導電型の第2の不純物領域(2)と、

該第2の不純物領域(2)上に形成され、前記第1の不純物領域(1)と同じ一導電型の第3の不純物領域(3,30)と、

前記第2の不純物領域(2)の側部を囲繞するように絶縁膜(4)を介して形成された制御電極(5)と、

を具備し、前記制御電極(5)に印加する電圧により前記第1の不純物領域(1)と前記第3の不純物領域(3,30)との間の電流の流れを制御することを特徴とする半導体装置。

2. 前記基板(6)は、前記第1の不純物領域

と反対導電型の半導体で構成されている特許請求の範囲第1項に記載の装置。

3. 前記基板(60)は、前記第1の不純物領域と同じ一導電型の半導体で構成されている特許請求の範囲第1項に記載の装置。

4. 前記第3の不純物領域(30)は、前記第2の不純物領域(2)に接した低不純物濃度領域(30a)と該低不純物濃度領域(30a)上に形成され、該低不純物濃度領域(30a)よりも高い不純物濃度の高不純物濃度領域(30b)とを備えている特許請求の範囲第1項に記載の装置。

## 3. 発明の詳細な説明

## (概 要)

半導体装置であって、一導電型の第1の不純物領域と、第1の不純物領域と反対導電型の第2の不純物領域と、第1の不純物領域と同じ一導電型の第3の不純物領域とを順に基板上に積層し、第2の不純物領域の側部を囲繞するように絶縁膜を介して制御電極を形成し、制御電極に印加する電圧により第1の不純物領域と第3の不純物領域と

の間の電流の流れを制御することによって、寄生容量が小さくて高速動作を行える小型の縦型 MIS トランジスタの提供を可能とする。

#### (産業上の利用分野)

本発明は、半導体装置に関し、特に、縦型 MIS トランジスタに関する。

#### (従来技術)

第6図は従来一般的な MIS トランジスタを示す断面図であり、N<sup>+</sup>型の MIS トランジスタである。

第6図に示される MIS トランジスタは、P型半導体の基板160内にN<sup>+</sup>型不純物領域のドレイン領域130およびソース領域110がそれぞれ形成されていて、これらドレイン領域130およびソース領域110間の基板160上にシリコン酸化膜(SiO<sub>2</sub>膜)140を介してポリシリコンより成るゲート電極150が形成されたものである。

上述した従来一般的な MIS トランジスタは、

電流の流れを制御するようになされている。

#### (発明が解決しようとする問題点)

上述したように、従来一般的な MIS トランジスタ(横型 MIS トランジスタ)は、素子の小型化には限度があり、また、ソース領域110およびドレイン領域130が有する曲率部110a、130aのために素子の耐圧が低いという問題点がある。

また、従来の縦型 MIS トランジスタ(U-MIS FET)は、ソース領域101、P型不純物領域102およびドレイン領域103が縦方向に積層されているため素子の小型化に有利であり、また、ソース領域101およびドレイン領域103には曲率部が存在しないために素子を高耐圧にすることが可能である。

しかし、この従来の縦型 MIS トランジスタは、ソース領域101およびドレイン領域103とP型不純物領域102とのPN接合個所が大きく、ソース領域101およびドレイン領域103に寄生する接合容量の値が大きくなり、素子に高速動作を行わせ

基板160の上部だけを利用した横型の MIS トランジスタであり、ドレイン領域130、ソース領域110およびゲート電極150を同一平面内に確保しなければならないために素子の小型化には限度がある。また、横型 MIS トランジスタのソース領域110およびドレイン領域130には、それぞれ曲率部110aおよび130aが存在しているために素子の耐圧が低いという問題点がある。

このような横型 MIS トランジスタに対して、従来、第7図に示されるような縦型 MIS トランジスタ(U-MIS FET)が提案されている。この縦型 MIS トランジスタは、アイソレーション100の間におけるP型半導体の基板106上にN<sup>+</sup>型不純物領域のソース領域101、P型不純物領域102およびN<sup>+</sup>型不純物領域のドレイン領域103を積層し、中央にU字溝を掘ってポリシリコン領域のゲート電極105を形成したものである。このゲート電極105は、U字溝の内部にシリコン酸化膜104を介して形成され、ゲート電極105に印加する電圧によりソース領域101とドレイン領域103との間の

ることができない問題点がある。

本発明は、上述した従来形の半導体装置の有する問題点に鑑み、一導電型の第1の不純物領域と、第1の不純物領域と反対導電型の第2の不純物領域と、第1の不純物領域と同じ一導電型の第3の不純物領域とを順に基板上に積層し、第2の不純物領域の側部を囲繞するように絶縁膜を介して制御電極を形成し、制御電極に印加する電圧により第1の不純物領域と第3の不純物領域との間の電流の流れを制御することによって、寄生容量が小さくて高速動作を行える小型の縦型 MIS トランジスタの提供を目的とする。

#### (問題点を解決するための手段)

本発明によれば、基板6,60上に形成された一導電型の第1の不純物領域1と、該第1の不純物領域1上に形成され、該第1の不純物領域1と反対導電型の第2の不純物領域2と、該第2の不純物領域2上に形成され、前記第1の不純物領域1と同じ一導電型の第3の不純物領域3,30と、前

記第2の不純物領域2の側部を圍繞するように絶縁膜4を介して形成された制御電極5と、を具備し、前記制御電極5に印加する電圧により前記第1の不純物領域1と前記第3の不純物領域3、30との間の電流の流れを制御することを特徴とする半導体装置が提供される。

#### (作用)

上述した構成を有する本発明の半導体装置によれば、一導電型の第1の不純物領域1、第1の不純物領域と反対導電型の第2の不純物領域2および第1の不純物領域と同じ一導電型の第3の不純物領域3が基板6、60上に積層され、この第2の不純物領域2の側部を圍繞するように絶縁膜4を介して制御電極5が形成される。

これにより、従来の縦型MISトランジスタと比して、第1の不純物領域1および第3の不純物領域3と第2の不純物領域2との接合箇所は、絶縁膜4を介して制御電極5の内側だけとなり、第1の不純物領域1および第3の不純物領域3に寄生

する接合容量の値は小さくなる。また、制御電極5が絶縁膜4を介して第2の不純物領域2の側部を圍繞するように形成されているため、制御電極5の幅は広がる。従って、素子の動作速度を高速化することができる。さらに、従来の横型MISトランジスタと比して、第1の不純物領域1および第3の不純物領域3には曲率部が存在しないために素子を高耐圧にすることができる。

#### (実施例)

以下、図面を参照して本発明に係る半導体装置の実施例を説明する。

第1図は本発明に係る半導体装置の一実施例を示す断面図であり、第2図は第1図の半導体装置を真上から見た図である。

第1図に示されるように、本実施例の縦型MISトランジスタ(N型MIS PET)は、P型半導体の基板6上にN<sup>+</sup>型不純物領域のソース領域1、P型不純物領域2およびN<sup>+</sup>型不純物領域のドレイン領域3が柱状に積層されている。そして、柱状

に積層されたソース領域1の上部、P型不純物領域2およびドレイン領域3の側部を圍繞するようにシリコン酸化膜4を介してポリシリコンより成るゲート電極5が形成されている。また、シリコン酸化膜4は、ドレイン領域3の上部およびソース領域1の側部とゲート電極5との間にも形成されている。このシリコン酸化膜4により、ゲート電極5は他の領域と電気的に絶縁され、P型不純物領域2の側部にシリコン酸化膜(絶縁膜)4を介して形成されることになる。そして、ゲート電極5に印加する電圧によりソース領域1とドレイン領域3との間の電流の流れを制御するようになされている。ここで、ドレイン領域3上に形成されたシリコン酸化膜4の中央には、ポリシリコンより成るドレイン電極7が形成されている。

第2図から明らかなように、本実施例の縦型MISトランジスタは、ゲート電極5の内側にシリコン酸化膜4を介して柱状のソース領域1、P型不純物領域2およびドレイン領域3が形成されている。すなわち、N<sup>+</sup>型不純物領域のソース領域

1およびドレイン領域3とP型不純物領域2とのPN接合箇所は、シリコン酸化膜4を介してゲート電極5の内側だけで、従来の縦型MISトランジスタよりも遙かに小さい(PN接合の面積が小さい)ので、ソース領域1およびドレイン領域3に寄生するPN接合の容量の値は小さくなる。また、ゲート電極5がシリコン酸化膜4を介してP型不純物領域2の側部を圍繞するように形成されているため、ゲート電極5のゲート幅は広がる。従って、素子の動作速度を高速化することができる。さらに、従来の横型MISトランジスタと比較すると、ソース領域1およびドレイン領域3には曲率部が存在しないために素子を高耐圧にすることができる。

次に、第3図を参照して第1図の半導体装置の製造工程を説明する。

まず、第3図(a)に示されるように、P型シリコン基板6上に窒化シリコン膜(Si<sub>3</sub>N<sub>4</sub>膜)81をバターニングし、シリコン酸化膜(SiO<sub>2</sub>膜)41を形成する。次に、第3図(b)に示されるように、

窒化シリコン膜81をエッチングにより取り除き、 $N^+$ イオン打ち込みによりソース領域1を形成し、シリコン酸化膜41の間にシリコンのエピタキシャル層20をエピタキシャル成長させる。さらに、第3図(c)に示されるように、シリコン酸化膜41をエッチングにより取り除き、CVD(Chemical Vapor Deposition)法によって窒化シリコン膜82を全面に形成する。

次に、第3図(d)に示されるように、エピタキシャル層20の両側部を残して他の部分の窒化シリコン膜82を異方性エッチングにより取り除き、 $P$ イオン打ち込みにより $P$ 型領域2を形成する。ここで、第3図(b)のエピタキシャル層20の成長において同時に $P$ 型にドーブすれば、 $P$ イオン打ち込み工程は不要となる。さらに、第3図(e)に示されるように、 $P$ 型領域2に対して $N^+$ イオン打ち込みによりドレイン領域3を形成し、シリコン酸化膜4を形成する。そして、窒化シリコン膜82をエッチングにより取り除き、その窒化シリコン膜82が形成されていたソース領域1の上部、

$P$ 型不純物領域2およびドレイン領域3の側部を囲繞するようにシリコン酸化膜を形成する。これにより、基板6上に形成されたソース領域1、 $P$ 型不純物領域2およびドレイン領域3は、シリコン酸化膜4により全面が覆われることになる。

さらに、第3図(g)に示されるように、シリコン酸化膜4上にレジスト9を塗布し、マスクを位置合わせしてドレイン領域3上の中央部に窓を開け、このドレイン領域3上の中央部のシリコン酸化膜をRIE(反応性イオンビームエッチング)により取り除く。そして、第3図(h)に示されるように、レジスト9を剥離してポリシリコン50をドレイン領域3上の中央部およびシリコン酸化膜4上の全面にCVDにより形成する。最後に、第3図(i)に示されるように、RIEにより異方性エッチングを行い、ドレイン領域3上の中央部であるドレイン電極7と、柱状に積層されたソース領域1の上部、 $P$ 型不純物領域2およびドレイン領域3の側部を囲繞するようにシリコン酸化膜4を介したゲート電極5とを残して他の部分の

ポリシリコン50を取り除く。また、ソース電極は、ソース領域1から引出されることになる。

本実施例の半導体装置は、上記した製造工程以外にも、公知な様々な方法により製造できることはいうまでもない。

第4図は本発明の半導体装置の他の実施例を示す断面図である。

この第4図に示される半導体装置は、第1図の半導体装置において、 $P$ 型半導体基板6を $N$ 型半導体基板60としたものである。このように、 $N$ 型半導体で構成した基板60は、その基板60を共通ソースとしてアースに落とすこともできる。

また、第4図に示される半導体装置は、第1図の半導体装置において、 $N^+$ 型不純物領域のドレイン領域3を $N^-$ 型の低不純物濃度領域30aと $N^-$ 型の高不純物濃度領域30bとを備えたドレイン領域30としたものである。このようにドレイン領域30を $P$ 型不純物領域2に接した $N^-$ 型不純物領域30aおよび $N^-$ 型不純物領域30a上に形成された $N^+$ 型不純物領域30bで形成すること(LDD構

造)により、ドレイン電極7から $P$ 型不純物領域2に向かって電圧勾配を設け、ホットキャリアがシリコン酸化膜4中に入り込むのを防止することができる。

第5図は本発明の半導体装置のさらに他の実施例を示す断面図である。

この第5図に示される半導体装置は、第1図の半導体装置を分離溝70によってドレイン電極7の真中から2つに分割したものである。この分離溝70はゲート電極7を2つに分割するもので、これにより、電気的に独立した2つのMISトランジスタが形成されることになる。すなわち、一方のトランジスタは、ソース領域1a、 $P$ 型不純物領域2a、ドレイン領域3a、ドレイン電極7aおよびシリコン酸化膜4aを介したゲート電極5aで構成され、また、他方のトランジスタは、ソース領域1b、 $P$ 型不純物領域2b、ドレイン領域3b、ドレイン電極7bおよびシリコン酸化膜4bを介したゲート電極5bで構成されることになる。

以上の実施例はN型のMISTランジスタについて説明されているが、本発明の半導体装置はP型のMISTランジスタとすることもできるのはいうまでもない。

(発明の効果)

以上、詳述したように、本発明に係る半導体装置は、一導電型の第1の不純物領域と、第1の不純物領域と反対導電型の第2の不純物領域と、第1の不純物領域と同じ一導電型の第3の不純物領域とを順に基板上に積層し、第2の不純物領域の側部を囲繞するように絶縁膜を介して制御電極を形成し、制御電極に印加する電圧により第1の不純物領域と第3の不純物領域との間の電流の流れを制御することによって、寄生容量が小さくて高速動作を行える小型の縦型MISTランジスタを提供することができる。

4. 図面の簡単な説明

第1図は本発明に係る半導体装置の一実施例を示す断面図、

第2図は第1図の半導体装置を真上から見た図、  
第3図は第1図の半導体装置の製造工程を説明するための図、

第4図は本発明の半導体装置の他の実施例を示す断面図、

第5図は本発明の半導体装置のさらに他の実施例を示す断面図、

第6図は従来の一般的なMISTランジスタを示す断面図、

第7図は従来の縦型MISTランジスタの一例を示す断面図である。

(符号の説明)

- 1, 1a, 1b…ソース領域、
- 2, 2a, 2b…P型不純物領域、
- 3, 3a, 3b, 30 …ドレイン領域、
- 4, 4a, 4b…シリコン酸化膜、
- 5, 5a, 5b…ゲート電極、
- 6, 60 …基板、
- 7, 7a, 7b…ドレイン電極、
- 30a …N<sup>-</sup>型不純物領域、

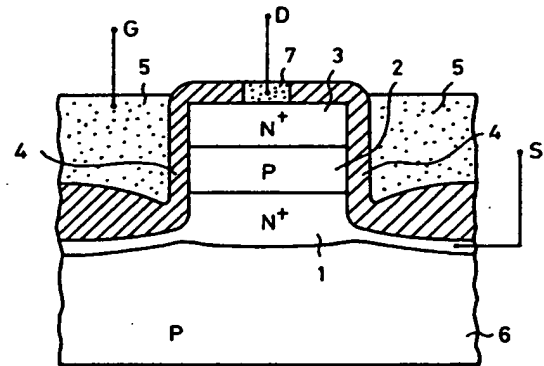
30b …N<sup>+</sup>型不純物領域。

特許出願人

富士通株式会社

特許出願代理人

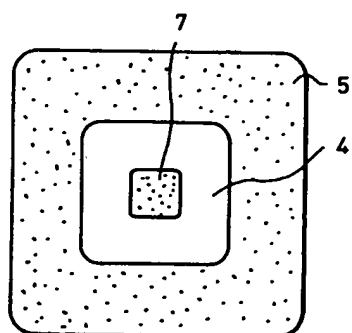
弁理士 青木 朗  
弁理士 西 館 和 之  
弁理士 内 田 幸 男  
弁理士 山 口 昭 之



本発明に係る半導体装置  
の一実施例を示す断面図

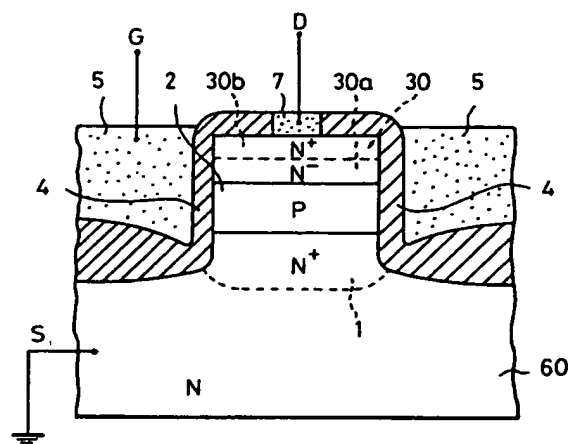
第1図

- 1…ソース領域
- 2…P型不純物領域
- 3…ドレイン領域
- 4…シリコン酸化膜
- 5…ゲート電極
- 6…P型半導体基板
- 7…ドレイン電極
- D…ドレイン
- G…ゲート
- S…ソース



第1図の半導体装置を真上から見た図

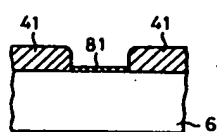
第 2 圖



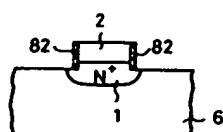
本発明の半導体装置の他の実施例  
を示す断面図

第 4 圖

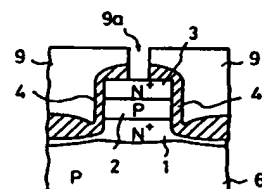
30... ドレイン領域  
30a...  $N^-$  型不純物領域  
30b...  $N^+$  型不純物領域  
60... N型半導体基板



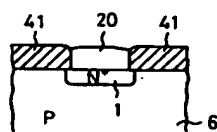
(a)



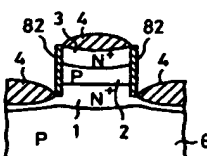
(-d )



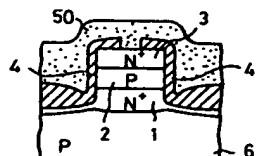
(g)



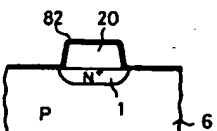
(b)



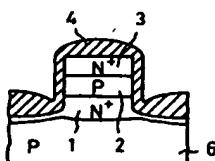
(e)



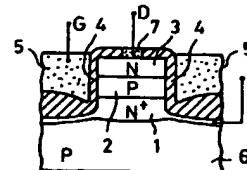
(h)



(c)



(f)



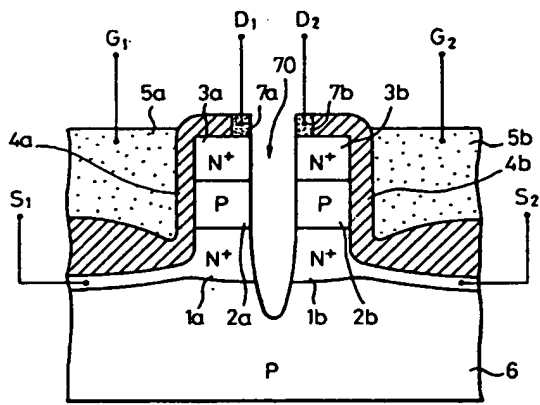
(i)

第 1 図の半導体装置の製造工程を説明するための図

第 3 圖

9...レジスト  
20...エピタキシャル層  
41...シリコン酸化膜  
81, 82...窒化シリコン膜

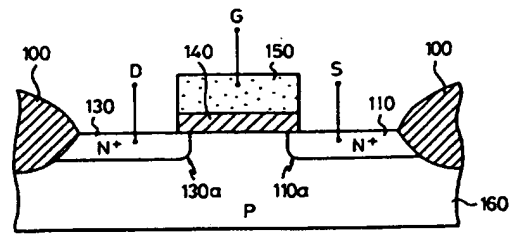




本発明の半導体装置のさらに他の実施例  
を示す断面図

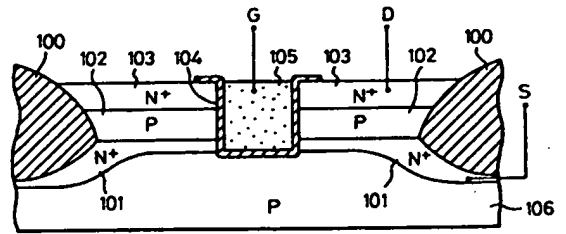
### 第 5 図

- D<sub>1</sub>, D<sub>2</sub> ... ドレイン
- G<sub>1</sub>, G<sub>2</sub> ... ゲート
- S<sub>1</sub>, S<sub>2</sub> ... ソース
- 1a, 1b ... ソース領域
- 2a, 2b ... P 型不純物領域
- 3a, 3b ... ドレイン領域
- 4a, 4b ... シリコン酸化膜
- 5a, 5b ... ゲート電極
- 7a, 7b ... ドレイン電極
- 70 ... 分離溝



従来の一般的な MIS トランジスタ  
を示す断面図

### 第 6 図



従来の縦型 MIS トランジスタの一例  
を示す断面図

### 第 7 図

- 100 ... アイソレーション
- 101, 110 ... ソース領域
- 102 ... P 型不純物領域
- 103, 130 ... ドレイン領域
- 104, 140 ... シリコン酸化膜
- 105, 150 ... ゲート電極
- 106, 160 ... P 型半導体基板